

Übung zu Betriebssysteme

Externe Interrupts

Wintersemester 2021/22

Bernhard Heinloth

Lehrstuhl für Informatik 4
Friedrich-Alexander-Universität Erlangen-Nürnberg



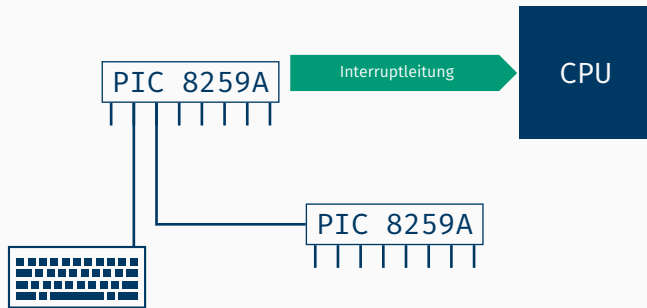
Lehrstuhl für Verteilte Systeme
und Betriebssysteme



FRIEDRICH-ALEXANDER
UNIVERSITÄT
ERLANGEN-NÜRNBERG

TECHNISCHE FAKULTÄT

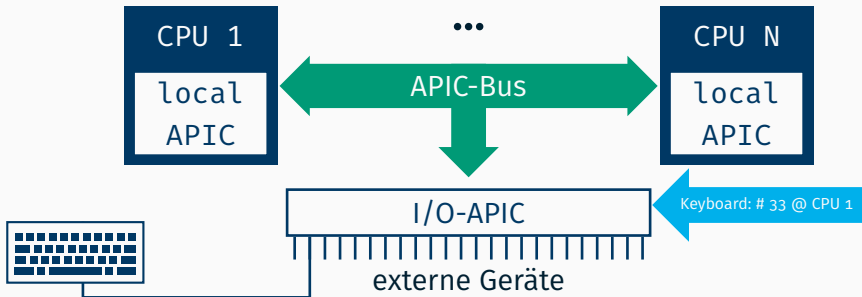
Unterbrechungen durch externe Geräte bei x86-CPUs



- Anschluss von mehreren Geräten durch Programmable Interrupt Controller
 - feste Prioritätenreihenfolge
 - Interruptvektornummer bedingt änderbar (Vielfaches von 8)
 - Konfiguration über I/O-Ports
- Erweiterung von 8 auf 15 Geräte durch Kaskadierung
- Nicht für Mehrprozessorsysteme geeignet

Externe Interrupts mit dem APIC

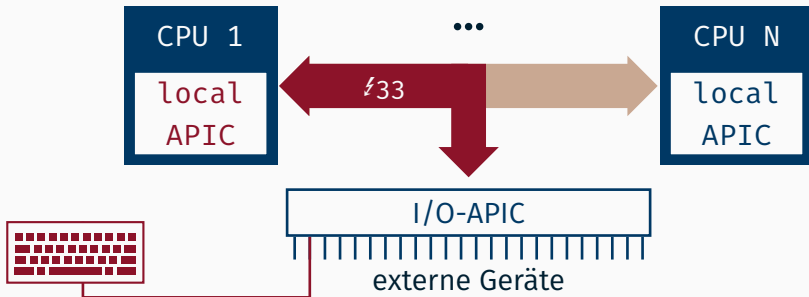
Aufbau der APIC-Architektur



I/O-APIC dient zum Anschluss der Geräte

- Zuweisung von beliebigen Vektornummern
- Aktivieren und Deaktivieren von einzelnen Interruptquellen
- Zuweisung von Zielprozessoren für einzelnen Interrupts in MP-Systemen

Aufbau der APIC-Architektur



Empfang durch Local APIC

- Verbindet eine CPU mit dem APIC-Bus
- Liest Nachrichten vom APIC-Bus und unterbricht die CPU
- Muss Interrupts explizit quittieren (ACK)

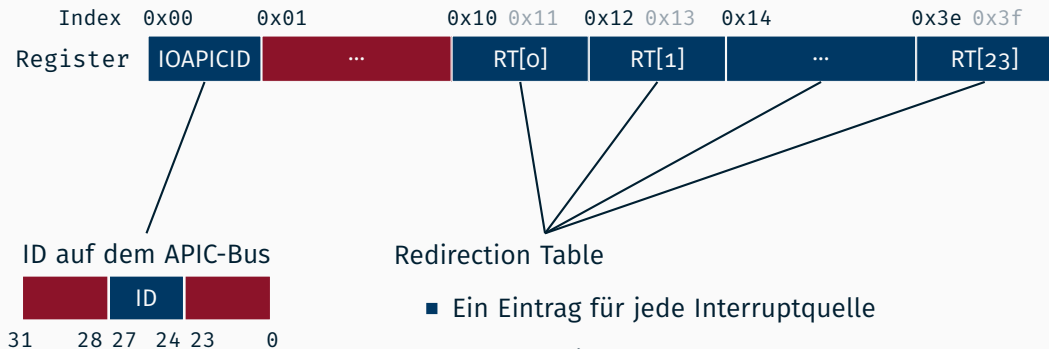
Zugriff auf die internen Register über memory-mapped I/O

- Jedoch keine direkte Abbildung von internen Registern auf Speicheradressen
- *Umweg* über ein Index- und Datenregister



Programmierung des Intel I/O-APIC (2)

Interne Register des I/O-APICs



- Ein Eintrag für jede Interruptquelle
- Konfiguration dadurch pro Interruptquelle
- Zwei interne Register pro Eintrag (64bit)

Aufbau eines Redirection Table Eintrags

63		Destination Field: Zieladresse des IRQs bei Dest. Mode == Physical APIC ID der Ziel-CPU bei Dest. Mode == Logical Gruppe von Ziel-CPUs
56		
55		reserviert
17		
16		Interrupt-Mask: Interrupt aktiv (0) oder inaktiv (1)
15		Trigger Mode: Flanken-(0) oder Pegelsteuerung (1)
14		Remote IRR: Art der erhaltenen Bestätigung
13		Interrupt Polarity: Active High (0) bzw. Active Low (1)
12		Delivery Status: Interrupt Nachricht noch unterwegs?
11		Destination Mode: Physical (0) oder Logical (1) Mode
10		Delivery Mode: Modus der Nachrichtenzustellung, z.B. 0 Fixed – Signal allen Zielprozessoren zustellen 1 Lowest Priority – CPU mit niedrigster Priorität
8		
7		
0		Interrupt Vektor: Nummer in der Vektortabelle (32 – 255)