

Übung zu Betriebssysteme

Zeitgeber

Wintersemester 2020/21

Bernhard Heinloth & Christian Eichler

Lehrstuhl für Informatik 4
Friedrich-Alexander-Universität Erlangen-Nürnberg



Lehrstuhl für Verteilte Systeme
und Betriebssysteme



FRIEDRICH-ALEXANDER
UNIVERSITÄT
ERLANGEN-NÜRNBERG

TECHNISCHE FAKULTÄT

Programmable Interval Timer (PIT)

- Standardtimer seit 1981 (IBM-PC, Intel 8253/8254)
- ca. 1 193 182 Hz ($= \frac{1}{3}$ NTSC-Freq.)
 - Genauigkeit: 838 ns
- drei Kanäle mit je einen 16 bit Zähler
 - Kanal 0** löst standardmäßig alle 54.9254ms IRQ 0 aus
 - Kanal 1** früher für Arbeitsspeicher
 - Kanal 2** für PC Speaker (Tonfrequenz)

Programmable Interval Timer (PIT)

- Standardtimer seit 1981 (IBM-PC, Intel 8253/8254)

- ca. 1 193 182 Hz ($\frac{1}{8.33 \text{ ns}}$)

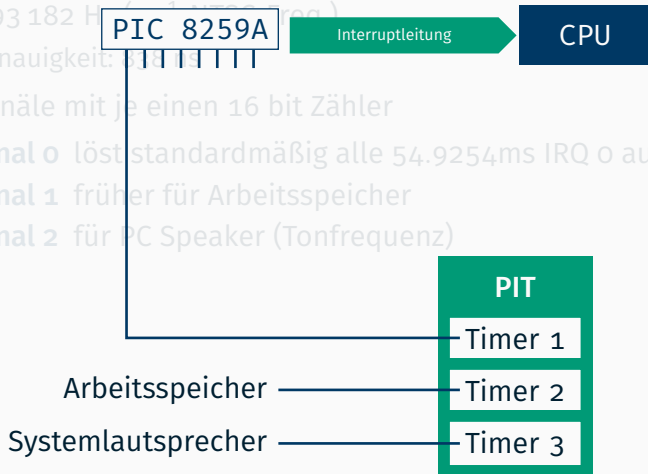
→ Genauigkeit: 8181 ns

- drei Kanäle mit je einen 16 bit Zähler

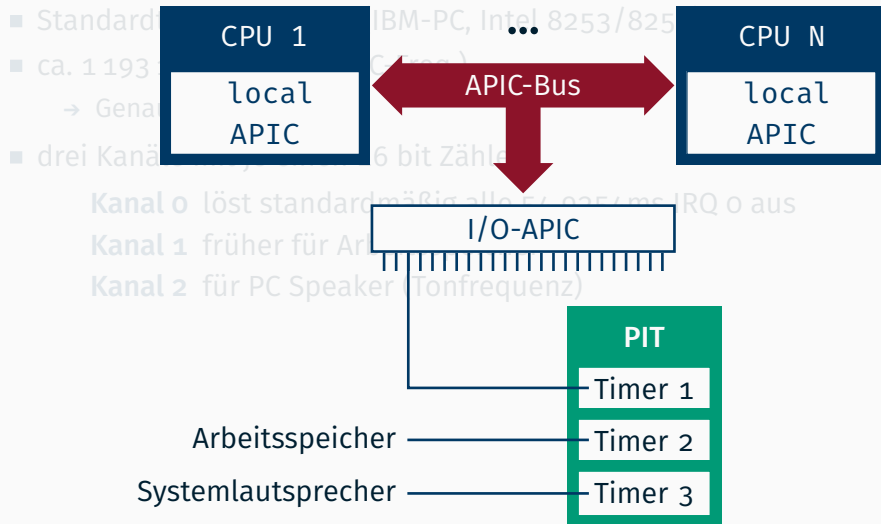
Kanal 0 löst standardmäßig alle 54.9254ms IRQ 0 aus

Kanal 1 früher für Arbeitsspeicher

Kanal 2 für PC Speaker (Tonfrequenz)



Programmable Interval Timer (PIT)



Programmable Interval Timer (PIT)

- Standardtimer seit 1981 (IBM-PC, Intel 8253/8254)
 - ca. 1 193 182 Hz ($= \frac{1}{3}$ NTSC-Freq.)
 - Genauigkeit: 838 ns
 - drei Kanäle mit je einen 16 bit Zähler
 - Kanal 0** löst standardmäßig alle 54.9254ms IRQ 0 aus
 - Kanal 1** früher für Arbeitsspeicher
 - Kanal 2** für PC Speaker (Tonfrequenz)
 - via PIC bzw. I/O APIC → (relativ) langsam
 - *ausreichend für BS (bis WS13), **geht aber besser.***
- machine/pit.h

Real Time Clock (RTC)

- seit 1984 (IBM-PC/AT)
- 32 768 Hz ($= 2^{15}$ Hz, Verwendung in Uhren)
 - Standardmäßig Interrupts bei 1 024 Hz
 - 12 weitere Möglichkeiten von 2 bis 8 192 Hz durch Vorteiler
 - IRQ 8
- für Zeit & Datum
- Betrieb im ausgeschalteten Zustand mittels Batterie

Time Stamp Counter (TSC)

- seit 1993 (Pentium)
 - 64 bit, auslesbar über Assemblerinstruktion `rdtsc`
 - Taktfrequenz wie CPU
 - ursprünglich Erhöhung mit jedem Clock-Signal
 - unterschiedliche Takte abhängig vom Stromsparmodus
 - bei neueren Versionen: konstante Rate entsprechend nominaler Geschwindigkeit
 - kann keinen Interrupt auslösen
- `machine/tsc.h`

ACPI Power Management Timer

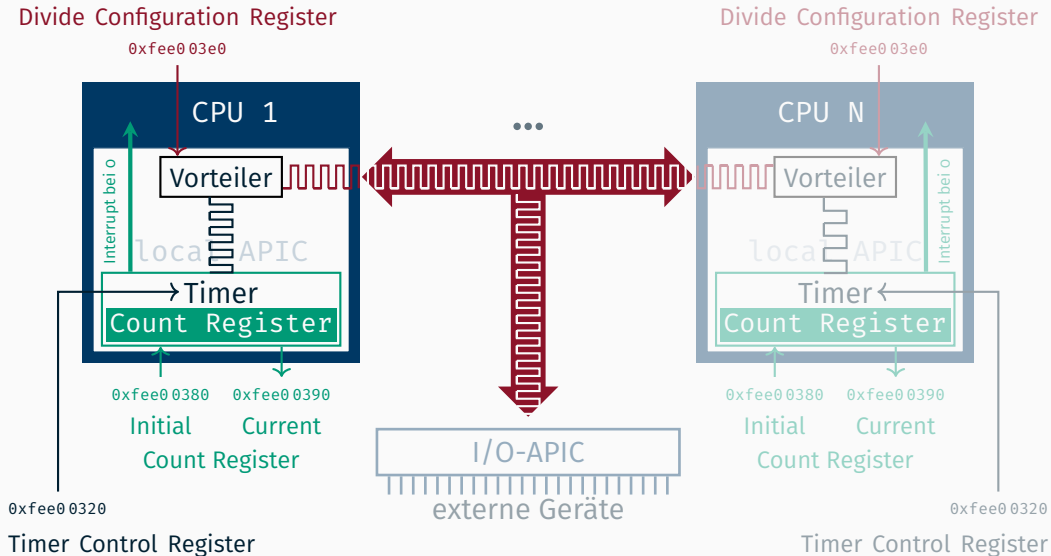
- seit es ACPI-Mainboards gibt (1996)
- 3 579 545 Hz (= NTSC-Freq.)
- ein 24 oder 32 bit Zähler
 - besser als alte (nicht konstante) TSC
 - Zugriff über I/O Port
- kann auch keinen Interrupt auslösen

High Precision Event Timer (HPET)

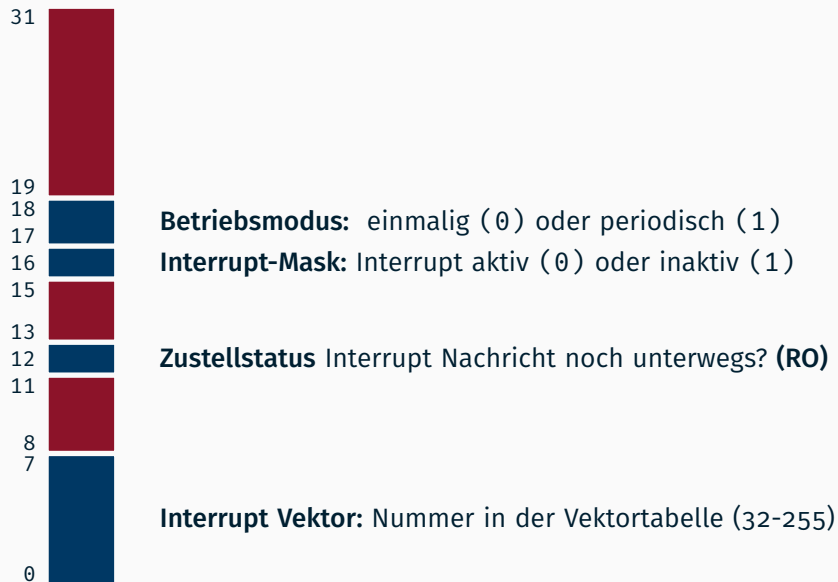
- von Intel und Microsoft 2005 als PIT- & RTC-Ersatz veröffentlicht
- ≥ 10 MHz
 - Genauigkeit: 100 ns oder besser
- ein 64 bit Zähler
 - min. drei 32 oder 64 bit breite Vergleichseinrichtungen
 - konfigurierbarer Interrupt bei Gleichheit

- ≥ 100 MHz
 - Genauigkeit: 10 ns oder besser
- 32 bit Zähler
- verwendet Busfrequenz
 - abhängig vom System
 - aber unabhängig von Stromsparmodus
 - Interrupt geht nur an den entsprechenden Kern
 - 8 Möglichkeiten (bis $\frac{1}{128}$ Busfrequenz) durch Vorteiler

Funktionsweise des LAPIC Timers



Aufbau des Timer Control Register Eintrags



Zusammenfassung LAPIC Timer

- jede CPU hat einen eigenen 32bit Timer
- Änderung am INITIAL COUNT REGISTER startet den Timer
- zu Beginn wird der initiale Startzählwert aus dem INITIAL COUNT REGISTER in das CURRENT COUNT REGISTER kopiert
- welches im $\frac{\text{Bustakt}}{\text{Vorteiler}}$ dekrementiert wird
- bei 0 wird – sofern aktiviert – ein Interrupt ausgelöst
- je nach Betriebsmodus wird gestoppt oder wieder neu begonnen